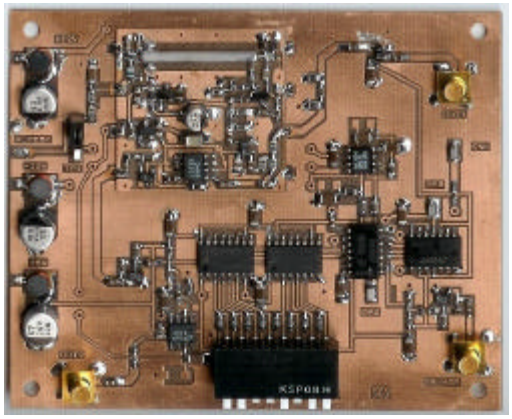
# PLL トレーニング 周波数シンセサイザ

## PLL Training Synthe



PLL ボード 外観図 ( 約 88 × 74 mm )

### ■ 特長

・広帯域 オクターブ 180-360MHz PLL シンセ
・低位相雑音 オクターブ VCO 搭載
・すべて ディスクリート部品で PLL を構成
・ 8 bit パラレル制御 プログラマブル・カウンタ搭載
・安価な ブレッドボード構成

### ■ 概要

PLL ( Phase Locked Loop ) は、周波数シンセサイザ として 急速に普及し、衛星通信や携帯電話をはじめとする 多くの無線機器 だけでなく 様々な製品に　用いられています。
そして、分周器や位相比較器を一体化した 周波数シンセサイザ用の IC が開発され、今では シリアルデータ入力型となり 超小型化され、数GHz の周波数シンセサイザ を 部品点数も少なく構成できる時代となっています。

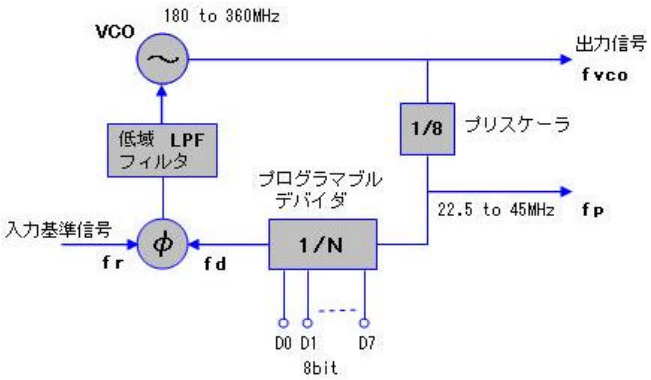
しかし その反面、PLL 技術を学びたいと思う者にとっては、PLL が ブラックボックス化 してしまい個々の回路の動作を実際回路を通して把握することが難しくなっていることも事実です。

また、PLL 回路の安定性 は もちろん 周波数切換え スピード、低位相雑音、スプリアス抑圧度等の性能が 重要視され 性能向上が 益々要求されてきている現在、その最高性能を引き出すには PLL の最適化 設計が重要であり、それには PLL についての深い知識が必要となります。

この PLL Training Synthe は PLL周波数シンセサイザの動作原理を容易に理解できるように準備したもので、分周器や位相比較器を 個別部品で設計し、また VCO には 高性能な 180 - 360MHz の ローノイズ な オクターブ発振器、広帯域発振器を搭載して 様々な PLL の実験を各部の波形等を確認しながら進めることができる 安価な ブレッドボード PLL 周波数シンセサイザ です。

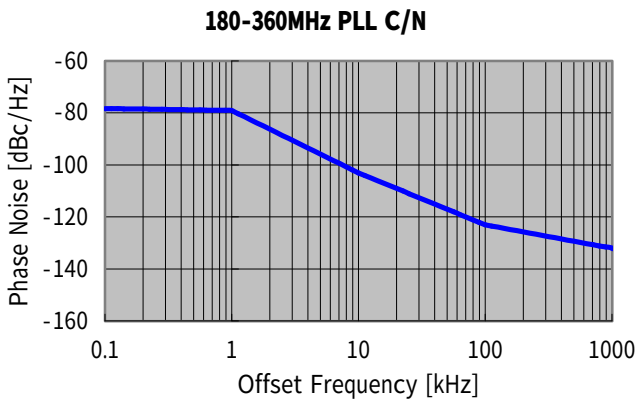
### ■ 主な仕様

| | | | |
|---|---|---|---|
| ・ 周波数範囲 | OUT 1 | ： | 180 - 360MHz |
| | OUT 2 | ： | 22.5 - 45MHz |
| ・ 周波数分解能 | OUT 1 | ： | 基準周波数 fr × 8 |
| | OUT 2 | ： | 基準周波数 fr |
| ・ 基準信号 fr | 200KHz ≦ fr ≦ 10MHz | | |
| ・ 出力レベル | OUT 1 | ： | ≧ 0 dBm |
| | OUT 2 | ： | ≧ -10 dBm |
| ・ 位相雑音 | OUT 1 (240MHz , 4MHz 分解能, 10KHz offset) | ： | ≦ -100dBc |
| | OUT 2 (30MHz , 500KHz 分解能, 10KHz offset) | ： | ≦ -118dBc |
| ・ 電源電圧 | ±12V, +5V | | |

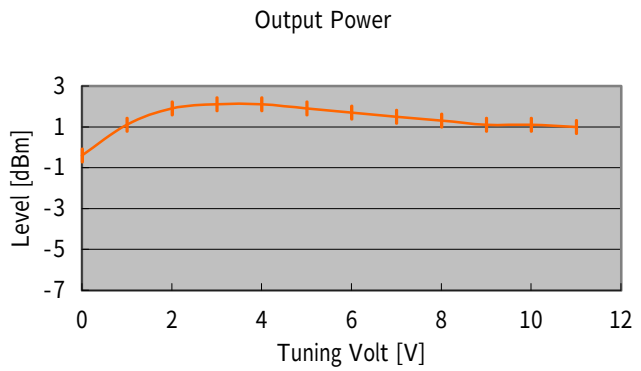



PLL Training Synthe ブロック図

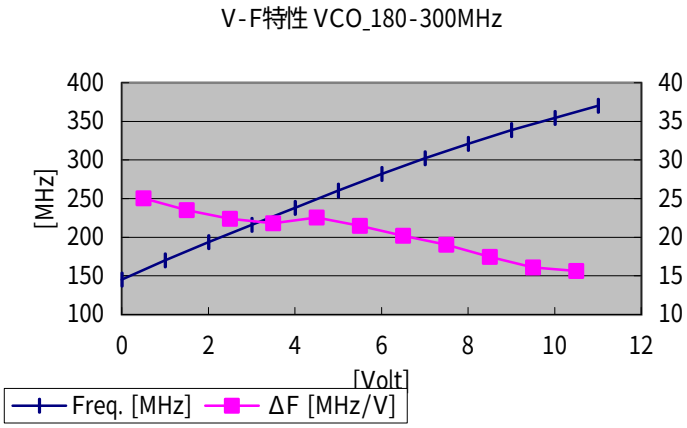
## ■ 参考データ




**180-360MHz SYNTHSIZER**
**C/N 代表値**




**180-360MHz SYNTHSIZER**
**出力レベル 代表値**




**180-360MHz VCO**
**V-F 代表値**


RF デザイン ノート
〒361-0037 埼玉県行田市下忍 1796-3
TEL： 050-1359-2567 （IP電話）
FAX： 048-553-2567 （Tel/Fax）
E-Mail： rfdn@ruru.ne.jp
URL： http://gate.ruru.ne.jp/rfdn/